



UNIVERSITÉ IBN-TOFAIL
ECOLE NATIONALE DES SCIENCES APPLIQUEES

Examen Session d'automne – Contrôle final
Année universitaire 2013/2014

Filière	Cycle préparatoire intégré(S1)	DATE	13/01/2014
MATIERE	Informatique	DUREE	1h30mn
PROFESSEUR	Pr. Abdellah ABOUABDELLAH	DOCUMENTS	Non autorisés

Ex1 (3pts)

1. Soit un processeur 8 bits, donnez les résultats des opérations suivantes et positionnez les indicateurs (2pts)

28H + BAH

ZF=
SF=
CF=

BEH + FAH

ZF=
SF=
CF=

Ex2 (9 pts)

Niveau	Temps accès succès	Temps accès Echec	Taux de succès	Taille
Cache Lx	2	1	88%	128Ko
Cache Ly	10	4	94%	2Mo
Cache Lz	6	2	90%	512Ko
Mémoire	30			1Go

1. Pourquoi le tableau ne donne pas de temps d'accès en cas d'échec ou de taux de succès d'accès pour la mémoire centrale ? (2pts)
2. Donner un schéma montrant l'organisation hiérarchique de cette mémoire cache. Justifier votre organisation? (2pts)
3. Quelle est l'intérêt d'une mémoire cache dans un ordinateur? (2pts)
4. À partir des performances du tableau ci-dessus, calculer le temps d'accès moyen global pour cette hiérarchie de mémoire. (3 pts)



UNIVERSITÉ IBN-TOFAIL
ECOLE NATIONALE DES SCIENCES APPLIQUEES

Ex3 (8pts)

1. Expliquez sommairement ce qu'est une architecture pipeline puis dire la différence entre cette architecture et celle parallèle **(2pts)**
2. Un processeur non pipeliné possède un temps de cycle de 8 ns. Quels seront les temps de cycle des versions pipelinées du processeur avec un pipeline de 2 et 4 étages, si la logique de chemin de données est répartie de manière égale entre les étages du pipeline (on considère que le temps de stabilisation après le passage dans chaque étage est de 1 ns) ? En outre, quel est le temps d'exécution d'une instruction complète pour chacune des versions pipelinées ? **(3pts)**
3. Calculer le temps d'exécution de 4 instructions pour les deux cas précédents. Que se passe-t-il si le nombre d'étage croit dans une structure pipeline ? **(3pts)**

Bon courage.



UNIVERSITÉ IBN-TOFAIL
ECOLE NATIONALE DES SCIENCES APPLIQUEES

Examen de rattrapage. Session d'automne
Année universitaire 2013/2014

Filière	Cycle préparatoire intégré(S1)	DATE	31/01/2014
MATIERE	Informatique	DUREE	1h30mn
PROFESSEUR	Pr. Abdellah ABOUABDELLAH	DOCUMENTS	Non autorisés

Ex1 (7 pts)

1. Expliquer rapidement la différence une SRAM et DRAM ? (3pts)
2. Définir les termes suivants : (4 pts)
 - Registre d'instructions
 - Registre de décodage
 - Compteur ordinal
 - Bus

Ex2 (8 pts)

Un processeur 64 bits stocke les données binaires qu'il traite dans des circuits intégrés de mémoire RAM. La capacité de chaque circuit mémoire est de 4 Mo, les données binaires étant organisées en mots de 64 bits. La capacité totale de l'ensemble des mémoires vives est de 32 Mo.

1. De combien de circuits différents est constitué l'ensemble de la mémoire vive associée à ce processeur ? (2 pts)
2. Donner le nombre de cases mémoires disponibles dans chaque circuit RAM ainsi que le nombre total de cases mémoires pour l'ensemble des circuits. (3 pts)
3. Quelle doit être la taille minimum du bus d'adresse de ce processeur ? Quelle est l'adresse la plus haute et l'adresse la plus basse (en hexadécimal) accessible par le processeur ? (3 pts)

Ex3 (5 pts)

1. Donner la valeur décimale du nombre 10101, dans le cas où il est codé en base 2, 8 ou 16. (2,5 pts)
2. Coder en binaire sur un octet les entiers 105 et 21 puis effectuer l'addition binaire des entiers ainsi codés. (2,5 pts)

Bon courage